

Computers

Memory Hierarchy

Exercises

Grau en Ciència i Enginyeria de Dades

Facultat d'Informàtica de Barcelona (FIB)

Universitat Politècnica de Catalunya (UPC)

2021-2022 Q2

Creative Commons License

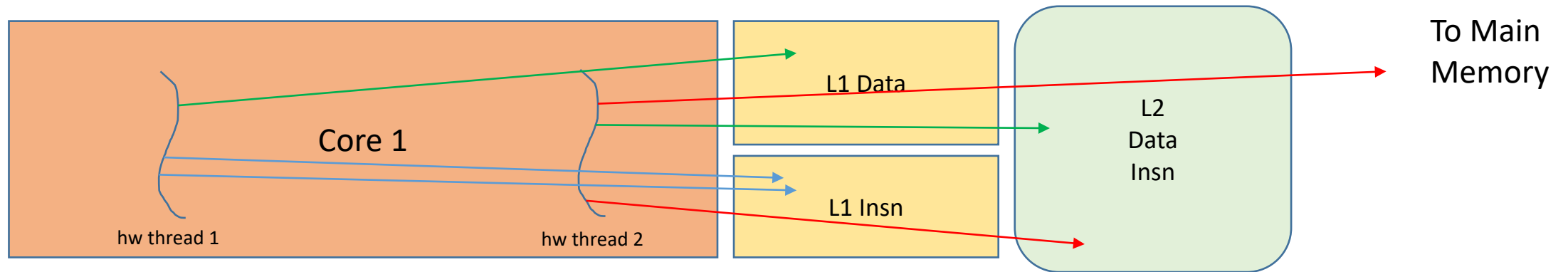
This work is under a Creative Commons Attribution 4.0 Unported License



The details of this license are publicly available at <https://creativecommons.org/licenses/by-nc-nd/4.0>

Exercise 1 (1)

Consider this processor architecture running two different processes (single thread each)



Process1 running in HW1
Process2 running in HW2

Exercise 1 (2)

- Shared L1, line cache size 128 (0x080) bytes
- Shared L2, line cache size 256 (0x100) bytes

Ordre d'execució	Core	HW Thread	Instr/dada	@ Memòria	L1 Insn	L1 Data	L2 Insn/Data
1	1	1	Instrucció	0x001000			
2	1	1	Dada	0x002000			
3	1	1	Instrucció	0x001008			
4	1	1	Dada	0x002080			
5	1	1	Instrucció	0x001010			
6	1	1	Dada	0x002100			
7	1	1	Instrucció	0x001018			
8	1	1	Instrucció	0x001020			
9	1	1	Data	0x002180			

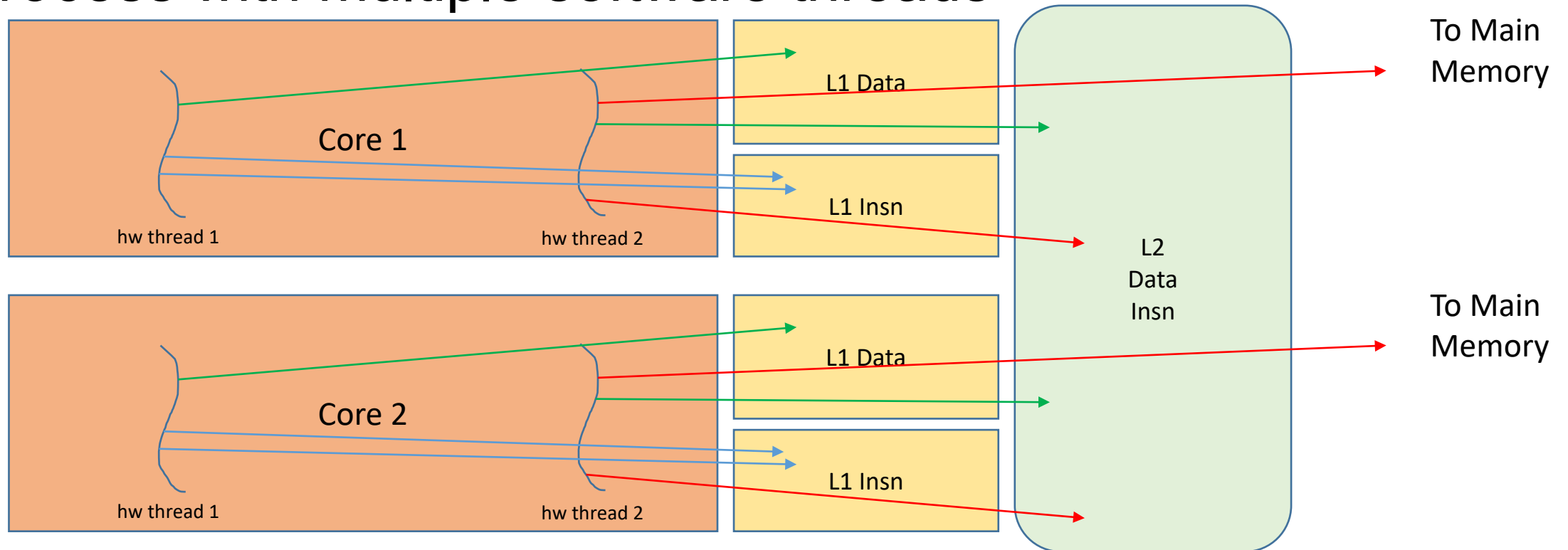
Exercise 1 (3)

- Shared L1, line cache size 128 (0x080) bytes
- Shared L2, line cache size 256 (0x100) bytes

Ordre d'execució	Core	HW Thread	Instr/dada	@ Memòria	L1 Insn	L1 Data	L2 Insn/Data
10	1	2	Instrucció	0x001000			
11	1	2	Dada	0x002000			
12	1	2	Instrucció	0x001008			
13	1	2	Dada	0x002080			
14	1	2	Instrucció	0x001010			
15	1	2	Dada	0x002100			
16	1	2	Instrucció	0x001018			
17	1	2	Instrucció	0x001210			
18	1	2	Data	0x002280			

Exercise 2 (1)

Consider this processor architecture running a single process with multiple software threads



Exercise 2 (2)

- Private L1, line cache size 128 (0x080) bytes
- Shared L2, line cache size 256 (0x100) bytes

Ordre d'execució	Core	HW Thread	Instr/dada	@ Memòria	L1 Insn	L1 Data	L2 Insn/Data
1	1	1	Instrucció	0x001000			
2	1	1	Dada	0x002000			
3	1	1	Instrucció	0x001008			
4	1	1	Dada	0x002080			
5	1	1	Instrucció	0x001010			
6	1	1	Dada	0x002100			
7	1	1	Instrucció	0x001018			
8	1	1	Instrucció	0x001020			
9	1	1	Data	0x002180			

Exercise 2 (3)

- Private L1, line cache size 128 (0x080) bytes
- Shared L2, line cache size 256 (0x100) bytes

Ordre d'execució	Core	HW Thread	Instr/dada	@ Memòria	L1 Insn	L1 Data	L2 Insn/Data
10	2	1	Instrucció	0x001000			
11	2	1	Dada	0x002000			
12	2	1	Instrucció	0x001008			
13	2	1	Dada	0x002080			
14	2	1	Instrucció	0x001010			
15	2	1	Dada	0x002100			
16	2	1	Instrucció	0x001018			
17	2	1	Instrucció	0x001210			
18	2	1	Data	0x002280			

Exercise 4

- Determine how the “matrix” variable is laid out on the RAM memory using **row-major** mapping and **little-endian**

Cache

8 lines
16 bytes per line
total: 128 bytes

Assume

`&matrix[0][0] == 0x0100`

Data

`int matrix [3][6];`

4	6	8	10	12	14
13	15	17	19	21	23
22	24	26	28	30	32
31	33	35	37	39	41
40	42	44	46	48	50
39	41	43	45	47	49

L1 data cache

tags

0x0100

data

RAM

0x0000

0x0100

0x0120

0x0140

0x0160

0x0180

0x01A0

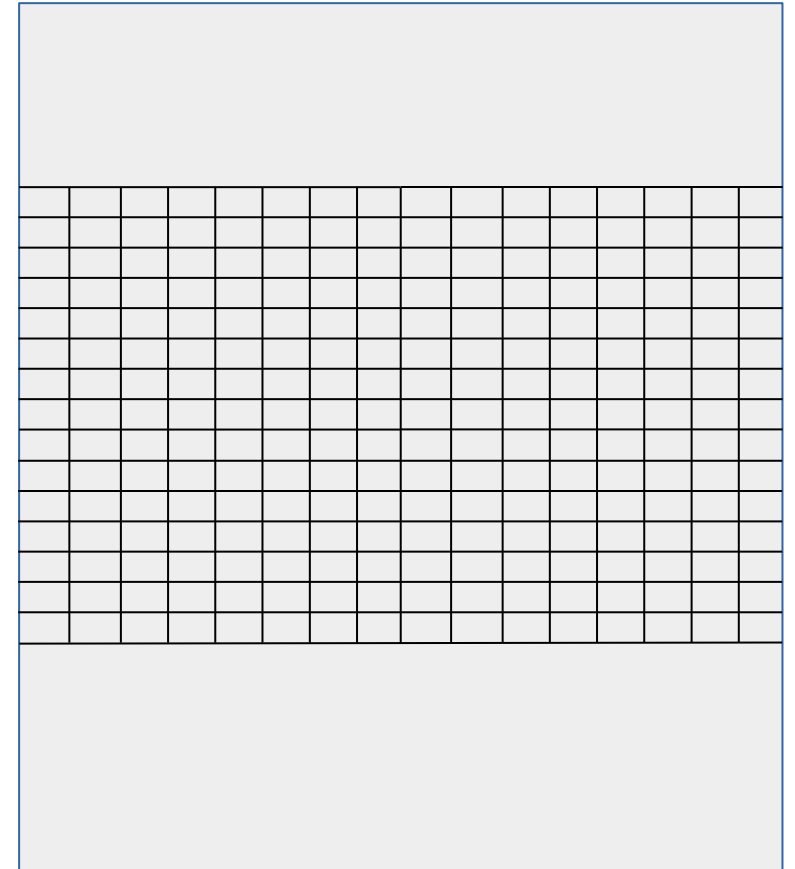
0x01C0

0x01E0

0x0200

0x0220

0x0240



Exercise 6

- Indicate “Hit”, “Miss” or “---” according to the accesses done to the mem hierarchy

Cache hierarchy

L1-Ins.: 8 lines; 64B/line

L1-Data: 8 lines; 64B/line

L2: 16 lines; 256B/line

- Do you identify any form of locality?

Order	Instr/ data	@	L1 Ins.	L1 Data	L2 (Ins. & Data)
1	Instr.	0x001000			
2	Instr.	0x001004			
3	Dada	0x00B000			
4	Dada	0x00B004			
5	Instr.	0x001000			
6	Instr.	0x001004			
7	Dada	0x00B008			
8	Dada	0x00B00C			
9	Instr.	0x001000			
10	Instr.	0x001004			
11	Dada	0x00B010			
12	Dada	0x00B014			

Exercise 7

- Indicate “Hit”, “Miss” or “---” according to the accesses done to the mem hierarchy

Cache hierarchy

L1-Ins.: 8 lines; 64B/line

L1-Data: 8 lines; 64B/line

L2: 16 lines; 256B/line

- Do you identify any form of locality?
- Compare locality with Exercise 6.

Order	Instr/ data	@	L1 Ins.	L1 Data	L2 (Ins. & Data)
1	Instr.	0x002000			
2	Instr.	0x002004			
3	Dada	0x010000			
4	Dada	0x010084			
5	Instr.	0x002008			
6	Instr.	0x00200C			
7	Dada	0x010108			
8	Dada	0x010118			
9	Instr.	0x002200			
10	Instr.	0x002204			
11	Dada	0x0100F0			
12	Dada	0x010200			